

## ⑫ 公開特許公報(A)

昭60-38877

⑪ Int.Cl.<sup>4</sup>

H 01 L 29/78

識別記号

庁内整理番号

7377-5F

⑬ 公開 昭和60年(1985)2月28日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 絶縁ゲート半導体装置

⑮ 特 願 昭58-146335

⑯ 出 願 昭58(1983)8月12日

⑰ 発 明 者 飯 島 哲 郎 高崎市西横手町111番地 株式会社日立製作所高崎工場内  
⑱ 発 明 者 芦 川 和 俊 高崎市西横手町111番地 株式会社日立製作所高崎工場内  
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
⑳ 代 理 人 弁理士 高橋 明夫 外1名

## 明 細 書

発明の名称 絶縁ゲート半導体装置

特許請求の範囲

1. 半導体基体をドレインとしてその一主表面の一部に上記基体と逆導電型の領域が形成され、この逆導電型領域表面の一部に基体と同導電型領域がソースとして形成され、ソースの形成されない逆導電型領域表面の一部をチャネル部としてその上に絶縁膜を介して多結晶半導体層からなるゲートが形成された絶縁ゲート半導体装置であって、ドレイン上の多結晶半導体層がゲートから電気的に分離されるとともにソースに接続されていることを特徴とする絶縁ゲート半導体装置。

発明の詳細な説明

(技術分野)

本発明は絶縁ゲート半導体装置、特に二重拡散による縦型のパワーMOSFET(金属酸化物半導体電界効果トランジスタ)の容量低減技術に関する。

(背景技術)

二重拡散型と呼ばれる縦型のMOSFETは第1図に示すように、例えばn<sup>-</sup>型およびn<sup>+</sup>型シリコン基体1a, 1bをドレインとしてその一主表面の一部にp型領域2を拡散し、このp型領域2表面の一部にn<sup>+</sup>型領域3を拡散してソースとし、ソースの形成されないp型領域表面の一部をチャネル部4としてその上にSiO<sub>2</sub>からなる絶縁膜5を介して多結晶シリコンからなるゲート電極6を形成するとともに、ソースとなるn<sup>+</sup>型領域5とそれに隣接するp型領域2の表面にアルミニウム膜からなるソース電極7を設けた構造を有し小型であって高耐圧化に有効なスイッチング用MOSFETとして実用されている。

二重拡散型のMOSFETのゲート駆動にあたって200KHz以上の高周波領域ではMOSFETの損失はスイッチング損失が主になってくるもので、スイッチング損失はゲート入力容量の蓄積電荷量によって決定される。すなわち、第1図を参照し、ゲート入力容量(C<sub>iss</sub>)は、ゲート・ソース間容量C<sub>gs</sub>とゲート・ドレイン間容量C<sub>gd</sub>

の和 $C_{gs}+C_{gd}$ であり $C_{gs}+C_{gd}$ が大きいほど充放電電力が必要となってくる。

これまでの縦型MOSFETの構造ではゲートがn型のドレイン基板にオーバーラップしているため $C_{gd}$ が大きくなり、ドライブ電力による損失が問題となることが本出願人によってあきらかとされた。

このような $C_{iss}$ を小さくする手段としてオフセットゲート型パワーMOSFETが提案されている。これは第2図に示すように基体表面の一部1cでn型ドレイン領域を広くとりゲート電極6をチャネル領域上以外の部分から後退させソース電極がドレインの上に絶縁膜を介して接するようにして、ゲート・ドレイン間に容量( $C_{gd}$ )を生じない構造としたものである。このようなオフセットゲート型構造では $C_{gd}$ はなくなりゲート入力容量 $C_{iss}$ はゲート・ソース容量 $C_{gs}$ のみとなって小さくなるが、ドレイン領域を变形するために拡散工程が複雑になり単位面積当りのチャネル幅を大きく設けることができず、又、p型領域が両

側から迫っているためドレイン部の縦方向抵抗 $R_{on}$ (オン抵抗)が大きくなる点で不利であるという問題点が生ずることが本出願人によってあきらかとされた。

(発明の目的)

本発明の目的とするところは、ゲート・ドレイン容量 $C_{gd}$ を低減でき、しかも簡単なプロセスで形成できる絶縁ゲート半導体装置の提供にある。(発明の概要)

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、n型半導体シリコン基体をドレインとしてその一主表面の一部に基体と逆導電型のp型領域が形成され、このp型領域表面の一部に $n^+$ 型領域がソースとして形成され、ソースの形成されないp型領域表面をチャネル部としてその上に絶縁膜を介して多結晶シリコン層からなるゲート形成された絶縁ゲート型半導体装置であって、上記チャネル部に囲まれたドレイン上の多結晶シリ

コン層がゲートから電気的に切離されるとともにソースに接続されることにより、ゲート・ドレイン間の容量を低減したものである。

(実施例)

第3図、第4図は本発明を二重拡散型nチャネルパワーMOSFETに適用した場合の一実施例を示し、第3図は平面図、第4図は第3図におけるA-A'切断面図である。同図において第1図、第2図と共通の構成部分は同一指示番号により指示されている。

第4図に示すようにゲート領域において、チャネル部4に囲まれたドレイン部 $n^-$ 型シリコン基体の直上に絶縁膜5を介してポリシリコン層8が形成され、このポリSi層8は第3図に示すように同じポリシリコン層からなるゲート6と電気的に切り離された低抵抗の島領域として形成され、このポリシリコン層8に対してソース電極(S)となるA<sub>0</sub>配線7が上部の絶縁膜9の窓部8aを介して接続されてソースフィールドプレートとして利用されている。

第5図～第10図は上記二重拡散型MOSFETの製造プロセスを示す工程断面図であって、以下、各工程に対応させて説明する。

- (1)  $n^- \cdot n^+$ 型シリコン基板(ウエハ)1a, 1bを用意し、熱酸化してその表面にゲート酸化膜( $SiO_2$ 膜)5を形成し、その上にシリコンを気相よりデポジットしポリシリコン層6を形成する(第5図)。
- (2) ホトレジスト処理を行ない、ソース・ドレイン拡散を行う部分及びゲート境界部分のポリシリコン層を取り除き、ゲート部6とそれ以外の部分8とに分離する(第6図)。
- (3) 残ったポリシリコン層6, 8の上をホトレジストマスク10で覆い、ポリシリコンを取り除いたシリコン基板表面にボロン(B)イオン打込み( $B: 75 \text{ KeV}, 1.0 \times 10^{14} \text{ cm}^{-2}$ )を行う(第7図)。
- (4) ボロン(B)を基体内に拡散( $1200^\circ \text{C} \times 9 \text{ 時間}$ )し、チャネル部及びベース部となるp型領域2を形成する。この拡散処理によりポリシリコン層表面が酸化され酸化膜11が形成される(第8

図)。

(5) 一部にソース拡散用のコンタクト部を形成し、リン(P)又はヒ素(As)を高濃度デポジット(又はイオン打込み)し、拡散してソースとなる $n^+$ 型領域3をp型領域2表面に形成する(第9図)。

(6) 全面に気相化学析出 $SiO_2$ (CVD- $SiO_2$ )又はリン・シリケート・ガラス(PSG)をデポジットして、層間絶縁膜9を形成する。この後、ソース・コンタクトのためのホトエッチングを行ない、ソースとなる $n^+$ 型領域3とそれに隣接するp型領域3の一部を露出すると同時に、ゲートから切り離されたポリシリコン層の一部を露出する(第10図)。

さいごにアルミニウムを蒸着し、パターンニングエッチすることにより、第3図、第4図に示すようにソース $n^+$ 型領域にコンタクトするとともにゲートから切り離されたポリシリコン層8にコンタクトするソース電極(ソース、フィールドプレート)7を得る。

$f=200KHz$  以上ではオン抵抗のロスよりドライブ電力のロスが増大してきており、C(入力容量 $C_{iss}$ )を低減することが $P_G$ を抑えることになる。

したがって、本発明によれば下記の効果が得られる。

(1) ドレイン上のポリシリコン層をゲートより分離したことにより $C_{gd}$ が低減され、したがって入力容量 $C_{iss}$ の低減ができる。すなわち、これまでのゲートと分離されないポリシリコン層を有するMOSFETと対比して面積計算した場合、本発明の構造では30~40%容量の低減ができる。第11図及び第12図は本発明によって容量低減の効果を $C_{iss}-V_{GS}$ 曲線図及び $C_{iss}(出力容量C_{oss})-V_{DS}$ 曲線図で示している。図中の実線は、従来の二重拡散型パワーMOSFETの特性曲線であり、点線は本発明による二重拡散型パワーMOSFETの特性曲線である。

(2)  $C_{gd}$ が低減されることにより充放容量 $C_{rss}$ が低減できる(第12図参照)。すなわち、これ

#### (効果)

以上実施例で述べた本発明によれば、下記の理由で前記目的が達成できる。ドレイン $n^-$ 型基板とオーバーラップするゲートポリシリコン層がなくなるため、 $C_{gd}$ が低減し、入力容量 $C_{iss}$ 、充放容量 $C_{rss}(=C_{gd})$ の低減を図ることができる。ソースと接続されたポリシリコン層8とドレイン $n^-$ 型基板との間の容量の増大は第4図に点線で示す空乏層12の拡がりによりほとんど無視できる。

なお、ゲートとなるポリシリコン層6とソースに接続されたポリシリコン層8との間隔 $d$ は大きすぎるとゲート先端部に電界が集中し負性抵抗が発生するため、ドレイン $n^-$ 型領域1aの濃度が高くなる極間隔 $d$ を小さくしてピンチオフを速やかに行う必要がある、この関係は $n^-$ 型領域の濃度が $1.0 \times 10^{16} cm^{-3}$ の場合で $d$ は $4 \mu m$ 以下、 $5 \times 10^{16} cm^{-3}$ の場合で $2 \mu m$ とする。

ゲートドライブ電力 $P_G$ は $P=iV$ 、 $i=Q/t=C V/t$ より $P_G=CV^2/t=f c V^2$ となる。

までのMOSFETと対比して面積計算した場合、本発明の構造では充放容量が40~50%低減できる。

(3) 入力容量 $C_{iss}$ の低減によりスイッチング時間とりわけ下降時の $t_f$ は2/3に低減できスイッチング特性が向上する。そして高周波特性の向上が期待できる。第13図及び第14図は本発明による容量低減されたMOSFETのスイッチング特性を示している。

(4) ポリシリコンのパターン形状を変えるのみで工程に変更がなく簡単なプロセスで実現できる。

以上本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

#### (利用分野)

本発明は縦型のMOSFET一般に適用できるものであり、特に1セル当りのゲート面積が大き

な高耐圧(400V~1000V)のMOSFET製品及び1チップのゲート面積が大きな低オン抵抗MOSFETに適用して有効である。本発明は、また、ゲートから精度よくソースを切り離す場合の微細加工技術に応用できる。

図面の簡単な説明

第1図は、二重拡散型MOSFETの一例を示す断面図である。

第2図は、オフセットゲート型MOSFETの例を示す断面図である。

第3図及び第4図は、本発明による二重拡散型MOSFETの一実施例を示し、このうち第3図は平面図、第4図は第3図におけるA-A'視断面図である。

第5図〜第10図は、本発明による二重拡散型MOSFETの製造プロセスの例を示す工程断面図である。

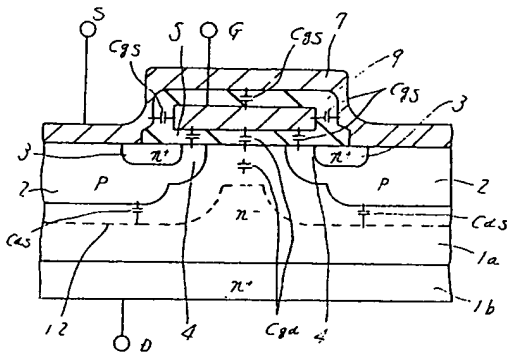
第11図及び第12図は、本発明によるMOSFET(点線)の容量特性を従来のもの(実線)と比較した曲線図である。

第13図及び第14図は本発明によるMOSFETのスイッチング特性を示す曲線図である。

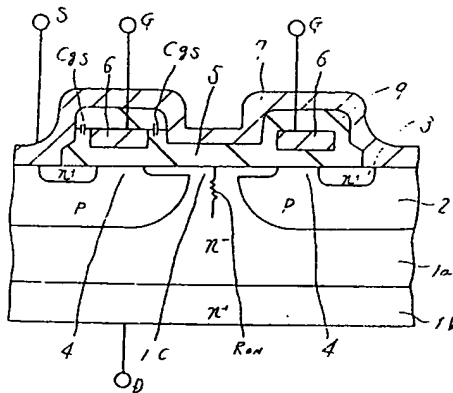
1a, 1b: n<sup>-</sup>・n<sup>+</sup>型シリコン基体(ドレイン)、  
2: p型領域(ベース)、3: n<sup>+</sup>型領域(ソース)、  
4: チャンネル部、5: 絶縁膜、6: ポリ(多結晶)  
シリコンゲート電極、7: ソース電極、8: ソースと接続するポリシリコン層、9: 層間絶縁膜(PSG)、10: ホトレジストマスク、11: 酸化膜、12: 空乏層。

代理人 弁理士 高橋明夫

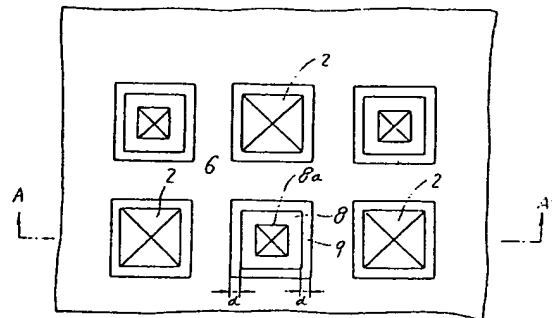
第 1 図



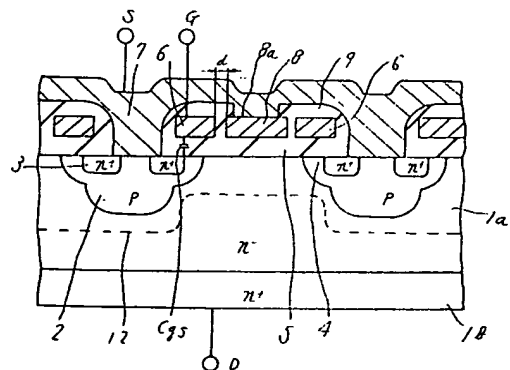
第 2 図



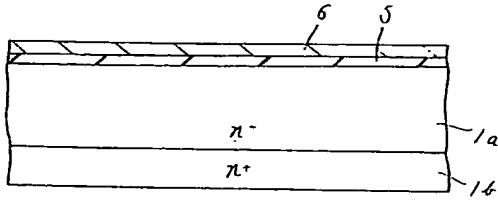
第 3 図



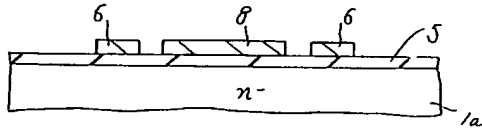
第 4 図



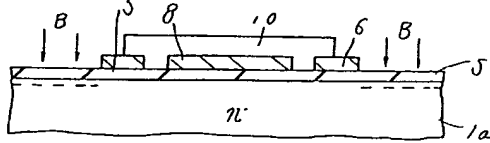
第 5 図



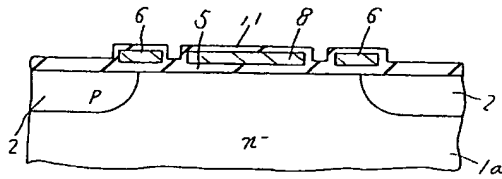
第 6 図



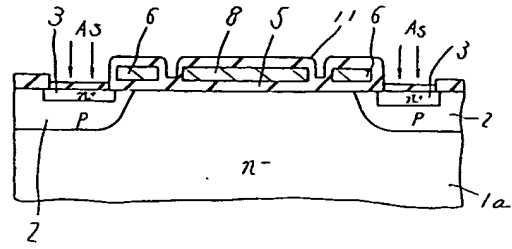
第 7 図



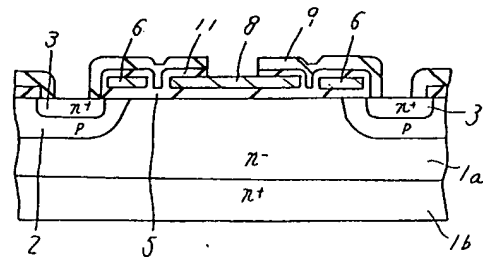
第 8 図



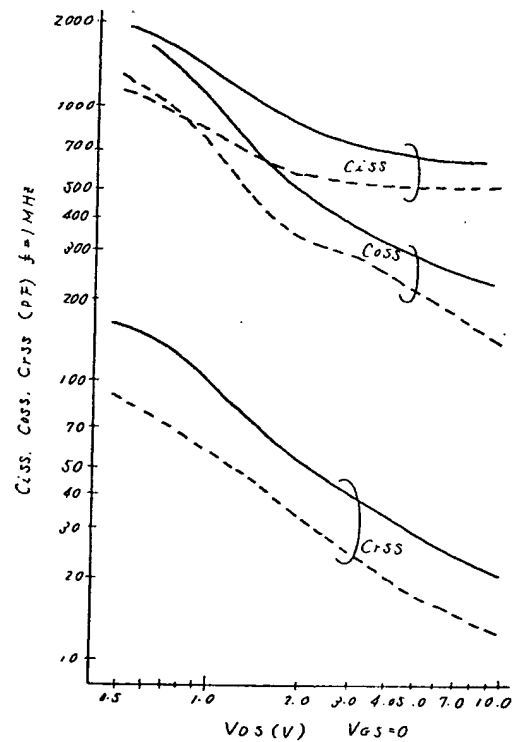
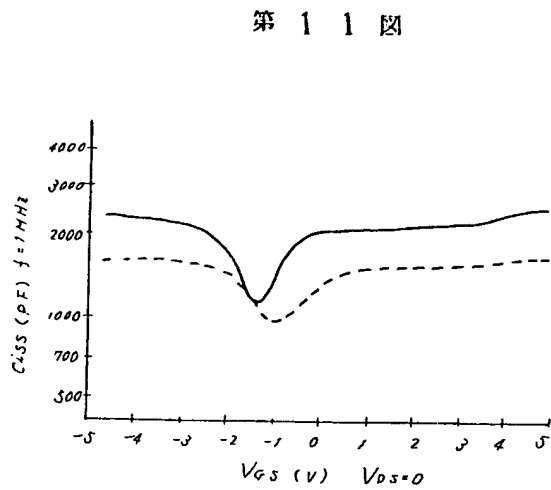
第 9 図



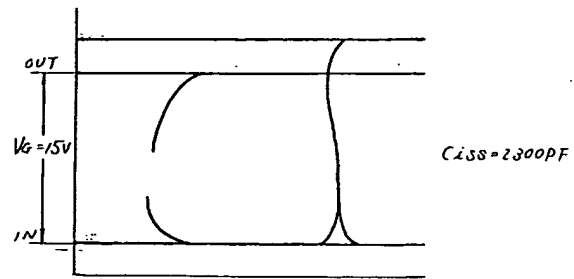
第 10 図



第 12 図



第 1 3 図



第 1 4 図

